



[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号  
特開2003-84740  
(P2003-84740A)

(43)公開日 平成15年3月19日(2003.3.19)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード*(参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	5 7 0	G 0 2 F 1/133	5 7 0 5 C 0 0 6
	5 7 5		5 7 5 5 C 0 8 0
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 U
	6 3 1		6 3 1 V

審査請求 未請求 請求項の数12 OL (全 9 頁) 最終頁に続く

(21)出願番号 特願2002-172380(P2002-172380)

(22) 出願日 平成14年6月13日(2002. 6. 13)

(31)優先權主張番号 2001-54124

(32)優先日 平成13年9月4日(2001.9.4)

(33) 優先権主張国 韓国 (KR)

(71)出願人 599127667

エルジー フィリップス エルシーディー  
カンパニー リミテッド

大韓民国 ソウル, ヨンドンボーク,  
ヨイドードン 20

(72)発明者 ハム, ヨン スン

大韓民国 キョンギードー、 アンヤン  
シ、 ドンガンーク、 ホギエー１ードン  
957-5, 201号

(74) 代理人 100109726

弁理士 園田 吉隆 (外1名)

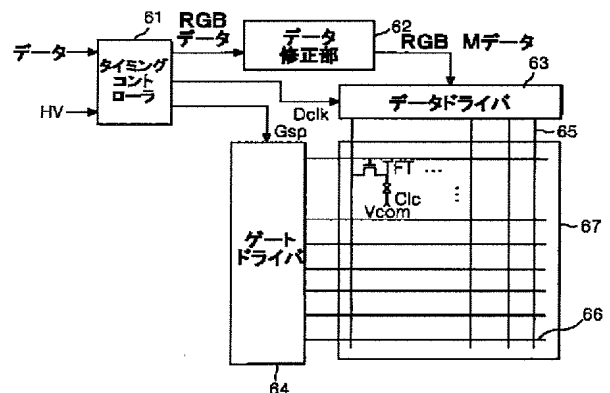
[最終頁に続く](#)

(54) 【発明の名称】 液晶表示装置の駆動方法及び装置

(57) 【要約】

【目的】本発明は液晶表示装置に関し、特に画質を向上させることができる液晶表示装置の駆動方法及び装置に関するものである。

【解決手段】本発明による液晶表示装置の駆動方法及び装置は、入力データを上位ビット・データと下位ビットデータに分割し、遅延された上位ビット・データと現在入力される上位ビット間の変化の有無により、現在入力される上位ビットを、入力データのデータ幅以下で且つ上位ビット・データのデータ幅以上のデータ幅を有する修正データに修正することができる。



## 【特許請求の範囲】

【請求項1】 入力データを上位ビット・データと下位ビットデータに分割する段階と、  
前記上位ビット・データを1フレームの間だけ遅延させる段階と、  
前記遅延された上位ビット・データと現在入力される上位ビット・データの差に基づいて、現在入力される上位ビット・データを、入力データのデータ幅以下で且つ上位ビット・データのデータ幅以上のデータ幅を有する修正データに修正することができる段階と、  
を含むことを特徴とする液晶表示装置の駆動方法。

【請求項2】 前記上位ビット・データと下位ビット・データはそれぞれ4ビットであり、前記入力データと前記修正データはそれぞれ8ビットであることを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項3】 前記現在のフレームの下位ビット・データを付加する段階を含むことを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項4】 前記上位ビット・データを修正する段階は、前記現在の上位ビット・データと前記1フレームの間遅延された上位ビット・データとを比較する段階と、前記比較結果に基づいてルックアップ・テーブルから所望のデータを選択する段階と、前記現在の上位ビット・データに対応して前記選択されたデータを出力する段階とを含むことを特徴とする請求項1に記載の液晶表示装置の駆動方法。

【請求項5】 入力ラインから入力されるn番目のフレームの入力データに含まれる上位ビット・データを遅延させるメモリと、  
n-1番目のフレームの上位ビット・データと前記n番目のフレームの上位ビット・データの差に基づいて、前記n番目のフレームの上位ビット・データを、前記入力データのデータ幅以下で、且つ前記n-1番目の上位ビット・データのデータ幅以上のデータ幅を有する修正データに修正することができる修正器と、  
を具備することを特徴とする液晶表示装置の駆動装置。

【請求項6】 前記入力ラインから分割された上位ビット・データと下位ビット・データはそれぞれ4ビットであり、前記入力データと前記修正データはそれぞれ8ビットであることを特徴とする請求項5に記載の液晶表示装置の駆動装置。

【請求項7】 前記修正器は前記修正データが登録されたルックアップ・テーブルを具備することを特徴とする請求項5に記載の液晶表示装置の駆動装置。

【請求項8】 データが供給される複数のデータラインとスキヤニング信号が供給される複数のゲートラインを有する液晶表示パネルと、前記修正器により修正されたデータと前記入力ラインからバイパスされた下位ビットが加算された修正ビデオ・データが入力されて、前記修正ビデオ・データを前記液晶表示パネルのデータライン

に供給するためのデータ駆動部と、前記液晶パネルのゲートラインにスキヤニング信号を供給するためのゲート駆動部と、前記ビデオ・データを前記入力ラインに供給すると共に前記データ駆動部とゲート駆動部を制御するためのタイミングコントローラとを更に具備することを特徴とする請求項5に記載の液晶表示装置の駆動装置。

【請求項9】 データが供給される複数のデータラインとスキヤニング信号が供給される複数のゲートラインが配設されて映像を表示する液晶表示パネルと、入力データが入力されるとビデオ・データを再配列してRGBデータと第1及び第2タイミング信号を出力するタイミング・コントローラと、前記遅延された上位ビット・データと現在入力される上位ビット・データの差により、現在入力される上位ビット・データを、前記入力データのデータ幅以下で且つ前記上位ビット・データのデータ幅以上のデータ幅を持つ修正データを有するルックアップ・テーブルに基づいて、前記ビデオ・データの上位ビット・データを修正する修正器と、前記修正されたビデオ・データと前記第1タイミング信号が入力されると下位ビット・データを付加して前記液晶表示パネルのデータラインに供給するデータ駆動部と、前記第2タイミング信号が入力されると前記液晶表示パネルのゲートラインにスキヤニング信号を供給するためのゲート駆動部とを具備することを特徴とする液晶表示装置の駆動装置。

【請求項10】 前記修正器は、1フレームの間現在の上位ビット・データを遅延して該遅延された上位ビット・データを出力するフレームのメモリと、前記現在の上位ビット・データと前記遅延された上位ビット・データが入力されると前記修正データを前記液晶表示パネルに出力するルックアップ・テーブルとを具備することを特徴とする請求項9に記載の液晶表示装置の駆動装置。

【請求項11】 前記上位ビット・データと下位ビット・データは4ビットであることを特徴とする請求項9に記載の液晶表示装置の駆動装置。

【請求項12】 前記入力データと前記修正されたデータは8ビットであることを特徴とする請求項9に記載の液晶表示装置の駆動装置。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】 本発明は液晶表示装置に関し、特に画質を向上させることができる液晶表示装置の駆動方法及び装置に関するものである。

## 【0002】

【従来の技術】 通常液晶表示装置はビデオ信号により液晶セルの光透過率を調節して画像を表示する。液晶セル毎にスイッチング素子が形成されたアクティブマトリックスタイプの液晶表示装置は動画を表示するのに適している。アクティブマトリックスタイプの液晶表示装置に使用されるスイッチング素子には主に薄膜トランジスタが利用されている。

【0003】このような液晶表示装置は数式1及び2から理解されるように、液晶に固有の粘性及び弾性の特性により応答速度が遅いという短所がある。

【0004】

【数1】

$$\tau_{\gamma} \propto \frac{\gamma d^2}{\Delta \varepsilon |V_a^2 - V_F^2|}$$

ここで、 $\tau$ 及び $\gamma$ は液晶に電圧が印加される際の上昇時間を、 $V_a$ は印加電圧を、 $V_F$ は液晶分子が傾斜運動を始めるフリーデリック遷移電圧(Freederick Transition Voltage)を、 $d$ は液晶セルのセル・ギャップを、 $\gamma$ は液晶分子の回転粘度をそれぞれ意味する。

【0005】

【数2】

$$\tau_f \propto \frac{\gamma d^2}{K}$$

ここで、 $\tau$ 及び $f$ は、液晶に印加された電圧がオフされた後、液晶が弾性復元力により元の位置に復元するまでの下降時間と、 $K$ は液晶固有の弾性係数とをそれぞれ意味する。

【0006】TNモードの液晶応答速度は液晶材料の物性とセル・ギャップなどにより異なるが、通常は上昇時間が20〜80msであり下降時間が20〜30msである。このような液晶の応答速度は動画の1フレーム時間(NTSC; 16.67ms)より長いので、図1のようにビデオ・データの輝度より低い輝度で動画が表示

\*される。

【0007】このような液晶表示装置の応答速度を改善するために、アメリカ特許第5,495,265号とPCT国際公開番号WO99/05567にはルックアップ・テーブルを利用してデータの変化の有無によりデータを修正する方法(以下、「高速駆動」という)が提案されている。この高速駆動方法は、図2に示したような原理でデータを修正する。

【0008】図2に示すように、従来の高速駆動方法は、入力データ(VD)を修正した修正データ(MVD)を液晶セルに印加して所望の輝度(MBL)を得るものである。この高速駆動方法は、1フレーム期間中に入力データの輝度値に対応する所望の輝度が得られるように、データの変化の有無に基づき、数式1における $|V_a^2 - V_F^2|$ を大きくして液晶の応答を加速させるものである。従って、高速駆動方法を利用する液晶表示装置は、液晶の遅い反応速度をデータ値の修正により補償し、動画像のモーション・ブラーリング(Motion Blurring)現象を緩和して、所望の色と輝度を有する画像を表示する。

【0009】さらに詳細には、高速駆動方法は直前のフレーム(Fn-1)と現在のフレーム(Fn)それぞれの最上位ビット・データ(MSB)を比較し、最上位ビット・データ(MSB)に変化がある場合に、ルックアップ・テーブルの該当する修正データ(Mデータ)をあてはめ、図3に示すように修正する。

【0010】最上位ビット・データ(MSB)を4ビットに限定した場合、高速駆動方法のルックアップ・テーブルは下の表1及び表2のようになる。

【表1】

ms	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	2	3	4	5	6	7	9	10	12	13	14	15	15	15	15
1	0	1	3	4	5	6	7	8	10	12	13	14	15	15	15	15
2	0	0	2	4	5	6	7	8	10	12	13	14	15	15	15	15
3	0	0	1	3	5	6	7	8	10	11	13	14	15	15	15	15
4	0	0	1	3	4	6	7	8	9	11	12	13	14	15	15	15
5	0	0	1	2	3	5	7	8	9	11	12	13	14	15	15	15
6	0	0	1	2	3	4	6	8	9	10	12	13	14	15	15	15
7	0	0	1	2	3	4	5	7	9	10	11	13	14	15	15	15
8	0	0	1	2	3	4	5	6	8	10	11	12	14	15	15	15
9	0	0	1	2	3	4	5	6	7	9	11	12	13	14	15	15
10	0	0	1	2	3	4	5	6	7	8	10	12	13	14	15	15
11	0	0	1	2	3	4	5	6	7	8	9	11	13	14	15	15
12	0	0	1	2	3	4	5	6	7	8	9	10	12	14	15	15
13	0	0	1	2	3	3	4	5	6	7	8	10	11	13	15	15
14	0	0	1	2	3	3	4	5	6	7	8	9	11	12	14	15
15	0	0	0	1	2	3	3	4	5	6	7	8	9	11	13	15

【表2】

	5																6							
16n	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240								
0	0	32	48	64	80	96	112	144	160	192	208	224	240	240	240	240								
16	0	16	48	64	80	96	112	128	160	192	208	224	240	240	240	240								
32	0	0	32	64	80	96	112	128	160	192	208	224	240	240	240	240								
48	0	0	16	48	80	96	112	128	160	176	208	224	240	240	240	240								
64	0	0	16	48	84	96	112	128	144	176	192	208	224	240	240	240								
80	0	0	16	32	48	80	112	128	144	176	192	208	224	240	240	240								
96	0	0	16	32	48	64	96	128	144	160	192	208	224	240	240	240								
112	0	0	16	32	48	64	80	112	144	160	176	208	224	240	240	240								
128	0	0	16	32	48	64	80	96	128	160	176	192	224	240	240	240								
144	0	0	16	32	48	64	80	96	112	144	176	192	208	224	240	240								
160	0	0	16	32	48	64	80	96	112	128	160	192	208	224	240	240								
176	0	0	16	32	48	64	80	96	112	128	144	176	208	224	240	240								
192	0	0	16	32	48	64	80	96	112	128	144	160	192	224	240	240								
208	0	0	16	32	48	48	64	80	96	112	128	160	176	208	240	240								
224	0	0	16	32	48	48	64	80	96	112	128	144	176	192	224	240								
240	0	0	0	16	32	48	48	64	80	96	112	128	144	176	208	240								

【0011】表1及び表2において、左側の列は直前のフレーム（ $F_{n-1}$ ）のデータ電圧（ $VD_{n-1}$ ）であり、最上行は現在のフレーム（ $F_n$ ）のデータ電圧（ $VD_n$ ）である。表1は最上位の4ビット（ $2^0$ 、 $2^1$ 、 $2^2$ 、 $2^3$ ）を10進数で表現したルックアップ・テーブルである。表2は8ビットのデータに最上位4ビットの加重値（24、25、26、27）を適用したルックアップ・テーブルである。

【0012】最上位ビット・データ（MSB）だけを修正するのは、ハードウェア化の際にメモリとルックアップ・テーブルの容量を減らすためである。このように実現された駆動装置を図4に示す。

【0013】図4に示すように、従来の高速駆動装置は、上位ビット・バスライン（42）に接続されたフレーム・メモリ（43）と、上位ビット・バスライン（42）とフレーム・メモリ（43）の出力端子両方に接続されたルックアップ・テーブル（44）とを具備する。

【0014】フレーム・メモリ（43）は、上位ビット・データ（MSB）を1フレーム期間中保存し、ルックアップ・テーブル（44）に供給する。ここで、上位ビット・データ（MSB）は8ビットのソース・データ（RGBデータ入力）の上位4ビットである。

【0015】ルックアップ・テーブル（44）は、上位ビット・バスライン（42）から入力される現在のフレーム（ $F_n$ ）の上位ビット・データ（MSB）と、フレーム・メモリ（43）から入力される直前のフレーム（ $F_{n-1}$ ）の上位ビット・データ（MSB）を表1及び表2と比較し、該当する修正データ（Mデータ）を選択して出力する。修正された上位ビット・データ（Mデータ）は下位ビット・バスライン（41）からのビット・データ（LSB）と加算されて液晶表示装置に入力さ

れる。

【0016】このように、4ビットの上位ビット・データ（MSB）だけを修正する高速駆動方法及び装置では、フレーム・メモリ（43）とルックアップ・テーブル（44）のデータ幅は4ビットであり、比較的容量が小さい。この場合、ルックアップ・テーブル（44）に登録された修正データの値は、表1及び表2で分かるように、4ビットで表示可能な値だけに限定される。その結果、図5に示すように、実際の入力データのグレースケールレベルと修正データのグレースケールレベルは矢印で表したグレースケール部分で乖離し、その分大きな輝度変化が発生する。さらに詳細には、自然な動画像を表示するためには4ビット以上の修正データを設定しなければならないにも拘わらず、ルックアップ・テーブルのデータ幅が4ビットに限定されるために、修正データが4ビット以下で設定されることになり、実際のグレースケール間の差が小さい場合にも輝度の差が大きくなる。

【0017】

【発明が解決しようとする課題】従って、本発明の目的は、画質を向上することができる液晶表示装置の駆動方法及び装置を提供することである。

【0018】

【課題を解決するための手段】前記目的を達成するために、本発明の実施例による液晶表示装置の駆動方法は、入力データを上位ビット・データと下位ビットデータに分割する段階と、前記上位ビット・データを1フレームの間遅延させる段階と、前記遅延された上位ビット・データと現在入力される上位ビット・データの差により、現在入力される上位ビット・データを、前記入力データのデータ幅以下で且つ前記上位ビット・データのデータ

幅以上のデータ幅を有する修正データに修正することが可能な段階を含む。

【0019】本発明の実施例による液晶表示装置の駆動方法は、上位ビット・データと下位ビット・データがそれぞれ4ビットであり、前記入力データと前記修正データがそれぞれ8ビットであることを特徴とする。

【0020】本発明の実施例による液晶表示装置の駆動方法は、現在のフレームの下位ビット・データを付加する段階を含むことを特徴とする。

【0021】本発明の実施例による液晶表示装置の駆動方法において、上位ビット・データを修正する段階は、現在の上位ビット・データと1フレームの間遅延された上位ビット・データを比較する段階と、比較結果に基づきルックアップ・テーブルから所望のデータを選択する段階と、現在の上位ビット・データに従って前記選択されたデータを出力する段階を含む。

【0022】本発明の実施例による液晶表示装置の駆動装置は、入力ラインから入力される $n$ 番目のフレームの入力データに含まれる上位ビット・データを遅延させるメモリと、 $n-1$ 番目のフレームの上位ビット・データと $n$ 番目のフレームの上位ビット・データの差により、前記 $n$ 番目のフレームの上位ビット・データを、前記入力データのデータ幅以下で且つ $n-1$ 番目の上位ビット・データのデータ幅以上である修正データに修正することが可能な修正器とを具備する。

【0023】本発明の実施例による液晶表示装置の駆動装置は、入力ラインから分割された上位ビット・データと下位ビット・データがそれぞれ4ビットであり、前記入力データと前記修正データはそれぞれ8ビットであることを特徴とする。

【0024】本発明の実施例による液晶表示装置の駆動装置において、修正器は前記修正データが登録されたルックアップ・テーブルを具備することを特徴とする。

【0025】本発明の実施例による液晶表示装置の駆動装置は、データが供給される複数のデータラインとスキヤニング信号が供給される複数のゲートラインを有する液晶表示パネルと、前記修正器により修正されたデータと前記入力ラインからバイパスされた下位ビットを加算した修正ビデオ・データを入力し、前記修正ビデオ・データを前記液晶表示パネルのデータラインに供給するためのデータ駆動部と、前記液晶パネルのゲートラインにスキヤニング信号を供給するためのゲート駆動部と、前記ビデオ・データを前記入力ラインに供給すると共に前記データ駆動部とゲート駆動部を制御するためのタイミングコントローラとを更に具備する。

【0026】本発明の実施例による液晶表示装置の駆動装置は、データが供給される複数のデータラインとスキヤニング信号が供給される複数のゲートラインが形成されて映像を表示する液晶表示パネルと、入力データを受けてビデオ・データを再配列し、RGBデータと第1及

び第2タイミング信号を出力するタイミング・コントローラと、遅延された上位ビット・データと現在入力される上位ビット・データの差により現在入力される上位ビット・データを、入力データのデータ幅以下で且つ上位ビット・データのデータ幅以上のデータ幅を持つ修正データを有するルックアップ・テーブルに基づいてビデオ・データの上位ビット・データを修正する修正器と、修正されたビデオ・データと第1タイミング信号が入力されると下位ビット・データを付加し、液晶表示パネルのデータラインに修正されたビデオ・データを供給するデータ駆動部と、第2タイミング信号が入力されると液晶表示パネルのゲートラインにスキヤニング信号を供給するためのゲート駆動部とを具備する。

【0027】本発明の実施例による液晶表示装置の駆動装置において、修正器は、1フレームの間に現在の上位ビット・データを遅延させ、遅延された上位ビット・データを出力するフレームのメモリと、現在の上位ビット・データと遅延された上位ビット・データが入力されると修正データを前記液晶表示パネルに出力するルックアップ・テーブルとを具備する。

【0028】本発明の実施例による液晶表示装置の駆動装置は、上位ビット・データと下位ビット・データが4ビットであることを特徴とする。

【0029】本発明の実施例による液晶表示装置の駆動装置は、入力データと前記修正されたデータが8ビットであることを特徴とする。

【0030】

【作用】本発明による液晶表示装置の駆動方法及び装置は、ルックアップ・テーブルのデータ幅を拡張し、ルックアップ・テーブルに登録された修正データの値をその分拡張させる。

【0031】

【発明の実施の形態】以下、図6乃至図8を参照して本発明の好ましい実施例を説明する。

【0032】図6に示すように、本発明の実施例による液晶表示装置の駆動装置は、データライン(65)とゲートライン(66)の交差部に液晶セル(C1c)を駆動するためのTFTが形成された液晶パネル(67)と、液晶パネル(67)のデータライン(65)にデータを供給するためのデータドライバ(63)と、液晶パネル(67)のゲートライン(66)にスキヤニングパルスを供給するためのゲート・ドライバ(64)と、デジタル・ビデオ・データと同期信号(HV)が供給されるタイミング・コントローラ(61)と、タイミング・コントローラ(61)とデータ・ドライバ(63)の間に接続されて入力データ(RGBデータ)を修正するためのデータ修正部(62)とを具備する。

【0033】液晶パネル(67)は間に液晶が注入された2枚のガラス基板からなり、下部ガラス基板の上にデータライン(65)とゲートライン(66)が相互に直

交するように配設される。データライン(65)とゲートライン(66)上のデータは液晶セル(C1c)に供給される。このために、TFTのゲート電極はゲートライン(66)に接続され、ソース電極はデータライン(65)に接続される。そしてTFTのドレーン電極は液晶セル(C1c)の画素電極に接続される。

【0034】タイミング・コントローラ(61)は、図示しないデジタル・ビデオ・カードから供給されるデジタル・ビデオ・データを再配列させる。タイミング・コントローラ(61)により再配列されたデータ(RGBデータ)はデータ修正部(62)に供給される。また、タイミング・コントローラ(61)は、入力された水平／垂直同期信号(HV)を利用して、ドットクロック(Dclk)、ゲート・スタート・パルス(GSP)、図示しないゲート・シフト・クロック(GSC)、出力イネーブル／ディセーブル信号などのタイミング制御信号と極性の制御信号を生成し、データ・ドライバ(63)とゲート・ドライバ(64)を制御する。ドットクロック(Dclk)と極性制御信号はデータ・ドライバ(63)に供給され、ゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)はゲート・ドライバ(64)に供給される。

【0035】ゲート・ドライバ(64)は、タイミング・コントローラ(61)から供給されるゲート・スタート・パルス(GSP)とゲート・シフト・クロック(GSC)にตอบสนองしてスキャンパルス、即ちゲート・ハイパルスを順次発生するシフト・レジスタと、スキャンパルスの電圧を液晶セル(C1c)の駆動に適合したレベルにシフトさせるためのレベル・シフトを含む。このスキャンパルスにตอบสนองしてTFTはターン・オンされる。TFTがターン・オンされる際に、データライン(65)上のビデオ・データは液晶セル(C1c)の画素電極に供給される。

【0036】データ・ドライバ(63)にはデータ修正部(62)により修正された赤(R)、緑(G)及び青(B)色の修正データ(RGBデータ)が供給されると共に、タイミング・コントローラ(61)からドットクロック(Dclk)が入力される。このデータ・ドライバ(63)は、ドットクロック(Dclk)により赤(R)、緑(G)及び青(B)色の修正データ(RGB\*40

$$VD_n < VD_{n-1} \rightarrow MVD_n < VD_n \quad (1)$$

$$VD_n = VD_{n-1} \rightarrow MVD_n = VD_n \quad (2)$$

$$VD_n > VD_{n-1} \rightarrow MVD_n > VD_n \quad (3)$$

【0042】(1)乃至(3)において、 $VD_{n-1}$ は直前のフレームのデータ電圧、 $VD_n$ は現在のフレームのデータ電圧、そして $MVD_n$ は修正データ電圧をそれぞれ表す。ここで、ルックアップ・テーブル(74)に

\*データ)をサンプリングした後に、1ライン分ずつラッチする。データ・ドライバ(63)によりラッチされたデータは、アナログ・データに変換されてスキャン毎にデータライン(65)に同時に供給される。データ・ドライバ(63)は修正データに対応するガンマ電圧をデータライン(65)に供給することもできる。

【0037】データ修正部(62)は、直前のフレーム( $F_{n-1}$ )と現在のフレーム( $F_n$ )間の変化の有無により、ルックアップ・テーブルを利用して現在入力されるデータ(RGBデータ)を修正する。ここで、ルックアップ・テーブルのデータ幅はタイミング・コントローラ(61)から入力されるソース・データ(RGBデータ)のデータ幅以下で、且つ最上位ビット・データ(MSB)のデータ幅より大きい範囲内に設定される。

【0038】このデータ修正部(62)を図7に示す。

【0039】図7に示すように、本発明によるデータ修正部(62)はタイミング・コントローラ(61)から4ビットの最上位ビット・データ(MSB)が入力される4ビットのフレーム・メモリ(73)と、4ビットの最上位ビット・データ(MSB)を8ビットの修正データに修正するための8ビットのルックアップ・テーブル(74)とを具備する。

【0040】4ビットのフレーム・メモリ(73)はタイミング・コントローラ(61)の上位ビット・バスライン(72)に接続され、タイミング・コントローラ(61)から入力される4ビットの最上位ビット・データ(MSB)を1フレームの間保存する。またフレーム・メモリ(73)は、フレームごとに保存された4ビットの上位ビット・データ(MSB)を8ビットのルックアップ・テーブル(74)に供給する。

【0041】8ビットのルックアップ・テーブル(74)は、タイミング・コントローラ(61)の上位ビット・バスライン(72)から入力される現在のフレーム( $F_n$ )の4ビットの上位ビット・データ(MSB)と、4ビットのフレーム・メモリ(73)から入力される直前のフレーム( $F_{n-1}$ )の4ビットの上位ビット・データ(MSB)との間に変化があるかどうかにより、下の関係式(1)乃至(3)に従って現在のフレーム( $F_n$ )の上位ビット・データ(MSB)を修正する。

$$VD_n < VD_{n-1} \rightarrow MVD_n < VD_n \quad (1)$$

$$VD_n = VD_{n-1} \rightarrow MVD_n = VD_n \quad (2)$$

$$VD_n > VD_{n-1} \rightarrow MVD_n > VD_n \quad (3)$$

登録された修正データは8ビットであり、表3に示すように、従来の4ビットのルックアップテーブルでは設定できなかった値を有している。

【表3】



区9	0	16	32	48	64	80	96	112	128	144	160	176	192	208	224	240
0	0	20	39	55	74	95	116	143	167	194	212	231	246	255	255	255
16	0	16	36	52	71	90	111	138	162	191	210	230	242	247	256	256
32	0	13	32	64	68	87	108	135	159	188	207	228	240	246	256	256
48	0	12	28	46	66	84	105	130	151	180	204	226	239	246	256	256
64	0	10	26	44	64	82	103	124	146	170	198	220	234	246	256	256
80	0	8	23	42	69	90	98	119	143	167	186	215	231	240	250	256
96	0	7	20	39	58	75	96	116	138	159	180	210	228	239	249	256
112	0	7	18	36	55	73	90	112	135	154	178	202	225	237	248	255
128	0	6	15	34	50	71	87	108	128	148	170	199	218	234	248	256
144	0	5	14	31	47	68	84	103	122	144	167	191	212	231	247	256
160	0	4	13	28	44	66	79	98	119	138	160	183	210	228	244	254
176	0	3	12	26	42	63	74	95	114	130	151	176	199	223	240	254
192	0	2	11	23	39	60	72	90	103	124	143	167	192	215	239	256
208	0	1	10	20	36	58	60	82	98	116	135	159	180	208	231	247
224	0	0	8	16	33	50	60	74	87	108	124	146	167	194	224	244
240	0	0	0	7	26	42	52	68	87	103	127	143	162	199	240	

【0043】表3から明らかなように、8ビットのルックアップ・テーブル（74）に使用されるメモリは8ビットのデータ幅を有するため、従来の高速駆動方式ではデータ幅が4ビットに限定されていたために表示不可能であった値を表現することができる。例えば、従来の高速駆動方式の4ビットでは表現不可能であった「241」以上の値（イタリック体で表示）を修正データに設定することもできる。

【0044】図8は表3の修正データをそのままグラフに表したものである。表3及び図8で明らかなように、修正データのデータ幅が拡張されて修正データ値が上位グレイスケールまで拡張されるだけではなく、全グレイスケール・レベルで修正データが線型コーディングされ、グレイスケール部分にはデータ値の乖離がなく、線型的に変化している。

【0045】8ビットのルックアップ・テーブル（74）から出力される8ビットの修正データは、タイミング・コントローラ（61）の下位ビット・バスライン

20\*（71）から入力される4ビットの最下位ビット・データ（LSB）に加算される。このようにデータ修正部（62）により修正された8ビットのビデオ・データはデータ・ドライバ（63）に供給される。或いは、データ・ドライバ（63）には最下位ビット・データ（LSB）が供給されず、ルックアップ・テーブル（74）により修正及びビット拡張された修正データだけが供給されてもよい。

【0046】本発明によるデータ修正部（62）のフレーム・メモリ（73）とルックアップ・テーブル（74）の入／出力データの幅は、表4に示すように、ルックアップ・テーブル（74）のみで従来より増加されており、ハードウェアに対する負担を最小化している。このように、ルックアップ・テーブルのデータ幅を広げることにより、ルックアップ・テーブル（74）に登録された修正データの設定値の範囲は、入力ビデオ・データの実際のグレイスケール値に対応して拡張される。

【表4】

区分	従来	本発明
ソース・データ（RGBデータ入力）	8ビット	8ビット
最上位ビット・データ（MSB）	4ビット	4ビット
最下位ビット・データ（LSB）	4ビット	4ビット
フレーム・メモリ	4ビット	4ビット
ルックアップ・テーブル	4ビット	8ビット
出力データ（RGBデータ出力）	8ビット	8ビット

【0047】一方、実施例では、ルックアップ・テーブル（74）のデータ幅はソース・データ（RGBデータ入力）と同一であるが、ルックアップ・テーブル（74）のデータ幅は最上位ビット・データ（MSB）のデータ幅とソース・データ（RGBデータ入力）のデータ

幅の間で決定することができる。また、本発明による液晶表示装置の駆動方法及び装置は、前記のようにデータ幅を拡張したルックアップ・テーブルを利用して、入力データのデータ幅以下のデータ幅にビット拡張することができ、入力データのデータ幅より大きいデータ幅にビ

ット拡張するのも利用することができる。

#### 【0048】

【発明の効果】 上述のように、本発明による液晶表示装置の駆動方法及び装置は、ルックアップ・テーブルのデータ幅を拡張することにより、ルックアップ・テーブルに登録された修正データの値を拡張する。それにより、実際のグレイスケール値に対応して修正データ値が設定されるので表示画面の画質が向上する。

【0049】 以上説明した内容を通し、当業者であれば本発明の技術思想の範囲で多様な変更及び修正が可能であることを理解するはずである。従って、本発明の技術的な範囲は、明細書の詳細な説明に記載された内容に限定されず、特許請求の範囲によって定めなければならない。

#### 【図面の簡単な説明】

【図1】 図1は通常の液晶表示装置におけるデータによる輝度変化を表す波形図である。

【図2】 図2は従来の高速駆動方法におけるデータ修正による輝度変化の一例を表す波形図である。

【図3】 図3は8ビットのデータを使用した従来の高速駆動方法の一例を表す。

【図4】 図4は従来の高速の駆動装置を表すブロック図である。

【図5】 図5は表2の修正データを表すグラフである。

＊る。

【図6】 図6は本発明の実施例による液晶表示装置の駆動装置を表すブロック図である。

【図7】 図7は図6に示されたデータ修正部を詳細に表すブロック図である。

【図8】 図8は表3の修正データを表すグラフである。

#### 【符号の説明】

41：下位ビット・バスライン

42：上位ビット・バスライン

43、73：フレーム・メモリ

44：ルックアップ・テーブル

61：タイミング・コントローラ

62：データ修正部

63：データ・ドライバ

64：ゲート・ドライバ

65：データライン

66：ゲートライン

67：液晶パネル

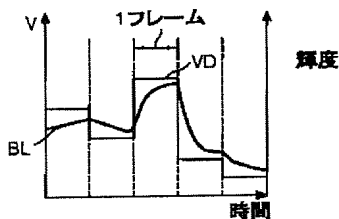
71：下位ビット・バスライン

72：上位ビット・バスライン

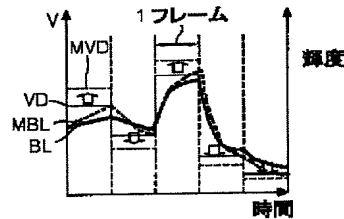
73：4ビットのフレーム・メモリ

74：8ビットのルックアップ・テーブル

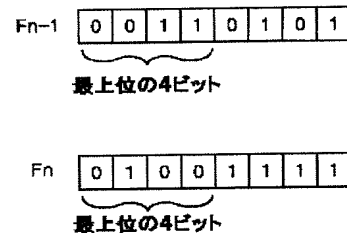
【図1】



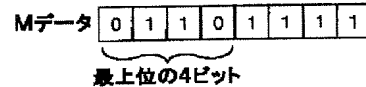
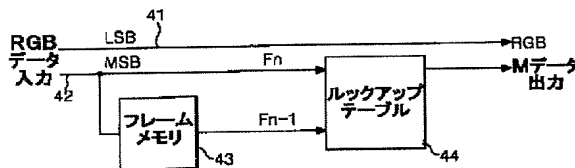
【図2】



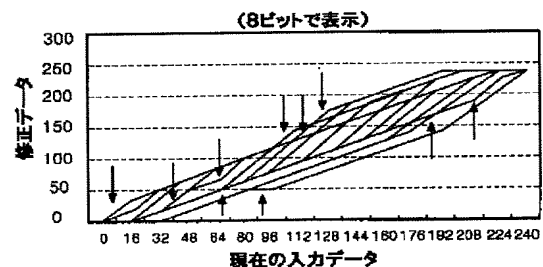
【図3】



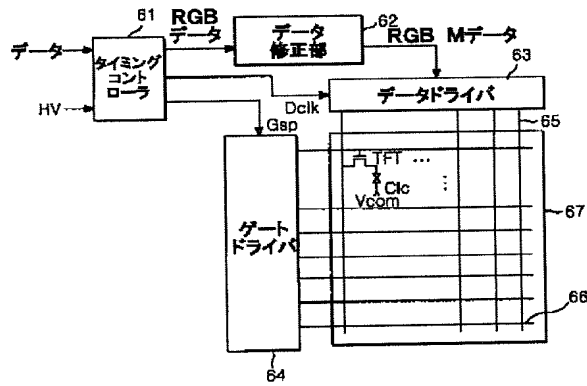
【図4】



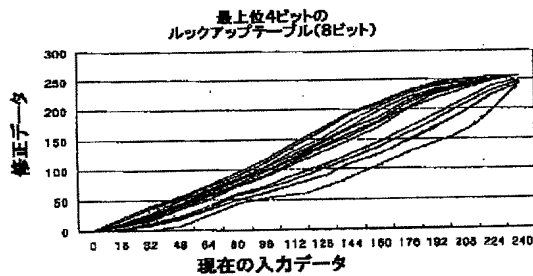
【図5】



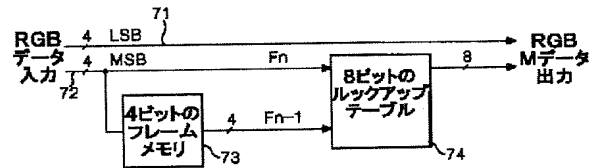
【図6】



【図8】



【図7】



フロントページの続き

(51) Int. Cl.<sup>7</sup>  
G 0 9 G 3/20

識別記号  
6 4 1

F I  
G 0 9 G 3/20

テーマコード(参考)

6 4 1 P  
6 4 1 R

F ターム(参考) 2H093 NA16 NA53 NC13 NC22 NC28  
NC29 NC34 ND06 ND07 ND32  
ND58  
5C006 AA01 AB03 AF13 AF45 AF46  
AF47 BB16 BC16 BF02 FA14  
FA29 FA56  
5C080 AA10 BB05 DD05 DD08 EE19  
FF11 GG10 GG12 JJ02 JJ04  
JJ05